



Attorneys-at-Law

Your Ref.: P205-0212TW

Our Case No.: 757713

Appln. No.: 94120284

Present Stage: Primary Examination

Type of Notice: Office Action

Cited Reference: Y

3. Related Patent Examination Guideline

According to Paragraph 4 of Article 22 of the Patent Law, it comprises a significant prerequisite "can be easily completed". In Taiwan Patent Examination Criterion, this prerequisite is explicated as that:

- (1) If an invention can be completed in a way of transformation, substitution, change, or combination of prior art by a person who has common knowledge in the technical field which the invention pertains to based on the prior art disclosed in a or a plurality of cited references as well as referring to common knowledge existing on filing date, then the entire invention is obviously easy to know and can be considered as an invention which can be easily completed. The term "obviously easy to know", which is the same concept as "can be easily completed", implies that an invention can be expected through logic analyzing, reasoning, and testing on the ground of prior art by a person with common knowledge in the technical field which the invention pertains to.
- (2) One of processes about determining whether the invention is non-obvious is to identify the differences between the invention and the prior art related. If the differences cannot result in unexpected effects, then the invention will be considered being able to be easily completed and having no inventive step.
- (3) Unexpected effects, which include resulting in new property or significant variation in amount, can be an evidence for proving that the invention cannot be easily completed.

4. Analysis of the citations

(1) the cited reference 1

Patent Issued No.	TWI284360B
Title	Semiconductor substrate, manufacturing method thereof, and semiconductor device
Abstract	A separation layer is formed on a silicon substrate. An SiGe layer serving as a strain induction layer and a silicon layer serving as a strained semiconductor layer are formed sequentially on the separation layer to prepare a first



Attorneys-at-Law

Your Ref.: P205-0212TW

Our Case No.: 757713

Appln. No.: 94120284

Present Stage: Primary Examination

Type of Notice: Office Action

Cited Reference: Y

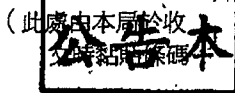
substrate. The first substrate is bonded to a second substrate made of the same material as the silicon layer of the strained semiconductor layer. The structure is separated into two parts at the separation layer. When the residue of the separation layer and the SiGe layer are removed, and the surface is planarized by hydrogen annealing, an Si substrate having a strained silicon layer on the uppermost surface is obtained.

(2) the cited reference 2

Patent Publication No.	JP2001-192300A
Title	NITRIDE-BASED COMPOUND SEMICONDUCTOR SUBSTRATE AND METHOD OF PRODUCING THE SAME
Abstract	PROBLEM TO BE SOLVED: To provide a nitride-based compound semiconductor substrate low in residual stress and almost free from crystal defects. SOLUTION: A ground layer 102 of a nitride-based compound semiconductor doped with an impurity is deposited at 300 to 800 deg.C on a crystalline base material 101 of sapphire or the like. Then, a crystal 103 of the nitride-based compound semiconductor is grown at a temperature higher than the temperature mentioned above on the ground layer 102. Further, the ground layer 102 is removed by etching, thereby the crystal 103 of the nitride-based compound semiconductor is separated as the substrate 105. Finally, the residual stress of the separated substrate 105 is reduced by heat treatment under an atmosphere containing nitrogen

(3) the cited reference 3

Patent Publication No.	JP2002-280531A
Title	SEMICONDUCTOR SUBSTRATE AND ITS MANUFACTURING METHOD
Abstract	PROBLEM TO BE SOLVED: To manufacture a semiconductor substrate in which a vertical element can be formed and resistance can be



I284360
755425

發明專利說明書

(本申請書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：93140622

※申請日期：93年12月24日

※IPC分類：H01L²⁴/₂₀

一、發明名稱：

(中) 半導體基底，其製造方法，和半導體裝置

(英) Semiconductor substrate, manufacturing method thereof, and semiconductor device

二、申請人：(共 1 人)

1. 姓 名：(中) 佳能股份有限公司

(英) CANON KABUSHIKI KAISHA

代表人：(中) 1. 御手洗富士夫

(英) 1. MITARAI, FUJIO

地 址：(中) 日本國東京都大田區下丸子三丁目三〇番二號

(英)

國籍：(中英) 日本

JAPAN

三、發明人：(共 4 人)

1. 姓 名：(中) 坂口清文

(英) SAKAGUCHI, KIYOFUMI

國 籍：(中) 日本

(英) JAPAN

2. 姓 名：(中) 野津和也

(英) NOTSU, KAZUYA

國 籍：(中) 日本

(英) JAPAN

3. 姓 名：(中) 桃井一隆

(英) MOMOI, KAZUTAKA

國 籍：(中) 日本

(英) JAPAN

4. 姓 名：(中) 佐藤信彥

I284360

755425

國籍：(英) SATO, NOBUHIKO
(中) 日本
(英) JAPAN

四、聲明事項：

◎本案申請前已向下列國家（地區）申請專利 ☐ 主張國際優先權：

【格式請依：受理國家（地區）；申請日；申請案號數 順序註記】

1. 日本 ; 2003/12/26 ; 2003-434019 ☒ 有主張優先權

五、中文發明摘要

發明之名稱：半導體基底，其製造方法，和半導體裝置

一分離層係形成於一矽基底上。作為一應變感應層的一 SiGe 層以及作為一應變半導體層的一矽層依序地形成於該分離層上用以製作一第一基底。該第一基底被接合至一第二基底，且該第二基底係由與該應變半導體層之該矽層相同的材料所製成。該結構在該分離層被分離為兩個部分。當該分離層與該 SiGe 層的殘餘物被移除，以及該表面被氬退火處理而平面化後，在該最高的表面可以獲得具有一應變矽層的一矽基底。

六、英文發明摘要

發明之名稱：

SEMICONDUCTOR SUBSTRATE, MANUFACTURING METHOD THEREOF,
AND SEMICONDUCTOR DEVICE

A separation layer is formed on a silicon substrate. An SiGe layer serving as a strain induction layer and a silicon layer serving as a strained semiconductor layer are formed sequentially on the separation layer to prepare a first substrate. The first substrate is bonded to a second substrate made of the same material as the silicon layer of the strained semiconductor layer. The structure is separated into two parts at the separation layer. When the residue of the separation layer and the SiGe layer are removed, and the surface is planarized by hydrogen annealing, an Si substrate having a strained silicon layer on the uppermost surface is obtained.

七、指定代表圖：

(一)、本案指定代表圖為：第 (2D) 圖

(二)、本代表圖之元件代表符號簡單說明：

13	應變矽層
30	第二基底

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(1)

九、發明說明

【發明所屬之技術領域】

本發明係有關於一種半導體基底、其製造方法、和一半導體裝置。

【先前技術】

隨著一基底以一高速與低能源消耗用以形成一半導體裝置，具有一應變矽層的一基底已經吸引許多的注意。由矽、鍺所製成的一 SiGe 層生長於一矽基底，而一單晶矽層則生長於該層。因此，一應變被應用至該矽層，且可以獲得一應變矽層。由於該 SiGe 層的晶格常數略大於該單晶矽層的晶格常數，因此產生該應變。舉例來說，AT&T 公司的美國專利案號 5,221,413 即敘述一種結合應變矽、SiGe 以及矽 (strained-Si/SiGe/Si) 的基底。

在另一方面，一種具有一埋層氧化膜於一矽基底上的一絕緣層上矽 (silicon on insulator; SOI) 基底也吸引許多的注意，且被作為一基底以一高速與低能源消耗用以形成一半導體裝置。結合應變矽與絕緣層上矽的結構也已見於廣泛的研究發表。此基底被加以實施以實現兩種優點，一是藉由應變矽所實行的高速運算，另一則是藉由絕緣層上矽所實行的低能源消耗性能以及較高的運算速度 (詳細請參見 Shin-ichi Tackagi, "Metal-Oxide-Semiconductor (MOS) device technologies using Si/SiGe heretointerfaces", Oyo Buturi, vol. 72. no. 3, pp. 284-290,

2003)。在此參考文件中，係敘述了該基底以及一種結合應變矽、SiGe、絕緣體以及 (strained-Si/SiGe/insulator/Si) 的基底之結構。

一種不具有 SiGe 層而結合應變矽、絕緣體以及矽 (strained-Si/insulator/Si) 的基底也已經發表 (詳細請參見 T.A. Langdo, et. al., Appl. Phys. Lett., vol. 2, no. 24, pp. 4256-4257, 2003)。在此方法中，形成在一第一基底上的應變矽/SiGe 藉由氫離子佈植、接合以及分離而被轉換成一絕緣基底之後，該 SiGe 層被移除。

相比於目前的矽-大型積體電路 (Si-LSI)，所有上述的技術需要更進一步的裝置以及製程設計之最佳化。SiGe 的存在，已敘述於 T.A. Langdo, et. al. 的該論文中。然而，仍然存在其他問題，例如：藉由退火處理所實行的摻雜擴散、金屬接觸成形以及鍺擴散之間的差異性。此外，由於該絕緣層的出現，具有一絕緣層的結構也有著如絕緣層上矽相同的問題，也包含裝置運作的熱堆積問題。

【發明內容】

本發明基於上述習知技術的問題而詳加考慮之，且具有其目的而提出一種新的技術來形成一種具有一應變矽層的矽晶圓 (以此為例子)。

根據本發明的第一觀點係提出一種半導體基底，包含：一應變半導體層在該半導體基底上，其中該應變半導體層由與該半導體基底相同的材料製成。該半導體基底包

(3)

含至少一單晶半導體基底以及多晶半導體基底，也包含了具有一多晶半導體（包含一微晶半導體層）的一基底形成於一半導體基底上。

根據本發明的第二觀點係提出一種本發明之半導體基底的製造方法，包含：一第一步驟，形成由一第一材料所製成的一應變半導體層於由一第二材料所製成的一半導體基底上，用以製作一第一基底，且至少於其表面上可作為一應變感應材料之用；一第二步驟：將該第一基底的該應變半導體層接合至由該第一材料所製成的一第二基底；以及一第三步驟：移除在該第一基底除了該應變半導體層外一側上的一構件，且留下該應變半導體層在該第二基底上。

根據本發明的第三觀點係提出一種由上述製造方法所製造的半導體基底。

根據本發明的第四觀點係提出一種具有一種半導體裝置，其具有一場效電晶體形成於該半導體基底的該應變感應層上。

藉由本發明的該半導體層，該通道遷移率可以藉由該應變而增加，而不需要改變由習知的矽-大型積體電路技術所發展的該製程。

本發明的其他特點、目的以及優點將詳細描述如下且伴隨著圖式而更加清楚敘述，其中在所有的圖式中，相同之參考數字係標明相同或類似的元件。

(4)

【實施方式】

本發明的一些較佳實施例將詳細描述如下。

然而，除了如下描述外，本發明還可以廣泛地在其他的實施例施行，且本發明的範圍並不受實施例之限定，其以之後的專利範圍為準。再者，為提供更清楚的描述及更易理解本發明，圖式內各部分並沒有依照其相對尺寸繪圖，某些尺寸與其他相關尺度相比已經被誇張；不相關之細節部分也未完全繪出，以求圖式的簡潔。

(第一實施例)

一應變感應層係形成於由一第二材料所製成的一半導體基底之該表面上。由該第二材料所製成的一應變半導體層係形成於該應變感應層上，用以製作一第一基底。由一第一材料所製成的一第二基底被接合至該第一基底。由該第二材料所製成的該半導體基底以及該應變感應層被移除。因此，由該第一材料所製成的該應變半導體層，可以被形成於由該第一材料所製成的該第二基底上，而與該第二基底相接觸。

該第一、第二材料一般都使用矽。

至於該應變感應層，係由含有矽、鍺的一層

($\text{Si}_{1-x}\text{Ge}_x$ 層) 所形成。該層(較佳地係為一單晶矽層)幾乎係由矽所製成，且形成於該 $\text{Si}_{1-x}\text{Ge}_x$ 層上作為一應變半導體層。

形成於由該第二材料所製成的該半導體基底上的該

$\text{Si}_{1-x}\text{Ge}_x$ 層中， x 較佳地係落在 0 至 0.5 的範圍之內。更佳地，在該半導體基底的該表面上， x 幾乎為 0 且逐漸地變化。在最高的表面上，即該應變半導體層形成處， x 較佳地係為 0.1 至 0.5。晶格鬆弛至少發生在該最高的表面上，以使得該處的應變是微小的。

在該第一基底除了該應變半導體層外該側上的該構件，其可以藉由一機械的移除方法，例如：研磨法、拋光法來加以移除。另外可以選擇的是，在接合之前以及接合之後，氫離子可以被佈植至由該第二材料所製成的該半導體基底上或者是該應變感應層上，該部分在該佈植介面可以被分離。

在該應變半導體層上的該 $\text{Si}_{1-x}\text{Ge}_x$ 層藉由拋光法或化學蝕刻法來移除。

在該 $\text{Si}_{1-x}\text{Ge}_x$ 層被移除之後，且僅該應變半導體層被留在該第二基底上，即完成表面平面化。根據本發明第一實施例的製造方法可以更進一步地包含一步驟：藉由使用該應變半導體層作為一活性層來形成一電路元件。對於具有此一電路元件的裝置而言，一高速運算可以藉由該應變半導體層來實行。

(第二實施例)

一分離層係形成於由一第二材料所製成的一半導體基底的該表面上。一應變感應層係形成於該分離層上。此外，由一第一材料所製成的一應變半導體層係形成於該應

變感應層上，用以製作一第一基底。

由該第一材料所製成的一第二基底被接合至該第一基底。該些部分在該分離層被分離。接著，該其餘的分離層以及應變感應層被移除。因此，由該第一材料所製成的該應變半導體層，可以形成於由該第一材料所製成的該第二基底上，而與該第二基底相接觸。

該第一、第二材料一般都使用矽。該分離層通常可以藉由拋光由該第二材料使用電鍍法所製成的該半導體基底（矽基底）的該表面來形成。至於其他的方法，在該應變感應層以及該感應半導體層形成之後，離子（例如：氫離子）被佈植用以在該應變感應層或是由該第二材料所製成的該半導體基底中，形成該分離層。

至於該應變感應層，係由含有銻的一層（ $\text{Si}_{1-x}\text{Ge}_x$ 層）所形成。該層（較佳地係為一單晶矽層）幾乎係由矽所製成，且形成於該 $\text{Si}_{1-x}\text{Ge}_x$ 層上作為一應變半導體層。

在形成於該分離層上的該 $\text{Si}_{1-x}\text{Ge}_x$ 層中， x 較佳地係落在 0 至 0.5 的範圍之內。更佳地，在該分離層的該表面上， x 幾乎為 0 且逐漸地變化。在最高的表面上，即該應變半導體層形成處， x 較佳地係為 0.1 至 0.5。晶格鬆弛至少發生在該最高的表面上，以使得該處的應變是微小的。

當該分離層係為一多孔層，該分離步驟的執行係藉由楔形物插入法、張力／剪力的應用、液噴（水噴）注射法、氣噴注射法或超音波的應用。當該分離層係由離子佈

(7)

植法所形成時，該分離步驟必須在 200~300℃ 至 500~600℃ 的溫度下藉由退火來完成。

在該應變半導體層上的該 $\text{Si}_{1-x}\text{Ge}_x$ 層，藉由拋光法或化學蝕刻法來移除。

在該 $\text{Si}_{1-x}\text{Ge}_x$ 層被移除之後，且僅該應變半導體層被留在該第二基底上，即完成表面平面化。

根據本發明第二實施例的製造方法可以更進一步地包含一步驟：藉由使用該應變半導體層作為一活性層來形成一電路元件。對於具有此一電路元件的裝置而言，一高速運算可以藉由該應變半導體層來實行。

（第三實施例）

一分離層係形成於由一第二材料所製成的一半導體基底的該表面上。一應變感應層係形成於該分離層上。此外，由一第一材料所製成的一應變半導體層係形成於該應變感應層上，用以製作一第一基底。

由該第一材料所製成的一第二基底被接合至該第一基底。該些部分在該分離層被分離。接著，該其餘的分離層以及應變感應層被移除。因此，由該第一材料所製成的該應變半導體層，可以形成於由該第一材料所製成的該第二基底上，而與該第二基底相接觸。

該第一、第二材料一般都使用矽。

該分離層通常可以藉由拋光由該第二材料使用電鍍法所製成的該半導體基底（矽基底）的該表面來形成。

至於該應變感應層，係由含有銻的一層 ($\text{Si}_{1-x}\text{Ge}_x$ 層) 所形成用以作為該多孔表面層的該氣孔密封材料。該層 (較佳地係為一單晶矽層) 幾乎係由矽所製成，且形成於該 $\text{Si}_{1-x}\text{Ge}_x$ 層上作為一應變半導體層。第 8 圖係為一斷面圖用以說明含有銻的該層 ($\text{Si}_{1-x}\text{Ge}_x$ 層) 被形成以作為一多孔表面層的該氣孔密封部分之狀態。如第 8 圖所示，一多孔層 40 的該表面層之該些氣孔被填滿一 $\text{Si}_{1-x}\text{Ge}_x$ 層 41，以使得該矽表面被該 $\text{Si}_{1-x}\text{Ge}_x$ 層 41 所覆蓋。

在該應變感應 $\text{Si}_{1-x}\text{Ge}_x$ 層中， x 較佳地係落在 0 至 0.5 的範圍之內。更佳地，該 $\text{Si}_{1-x}\text{Ge}_x$ 層係藉由在該多孔表面層中填充複數個氣孔來形成。晶格鬆弛至少發生在該最高的表面上，以使得該處的應變是微小的。

當該分離層係為一多孔層，該分離步驟的執行係藉由楔形物插入法、張力／剪力的應用、液噴（水噴）注射法、氣噴注射法或超音波的應用。

在該應變半導體層上的該 $\text{Si}_{1-x}\text{Ge}_x$ 層，藉由拋光法或化學蝕刻法來移除。

在該 $\text{Si}_{1-x}\text{Ge}_x$ 層被移除之後，且僅該應變半導體層被留在該第二基底上，即完成表面平面化。根據本發明第三實施例的製造方法可以更進一步地包含一步驟：藉由使用該應變半導體層作為一活性層來形成一電路元件。對於具有此一電路元件的裝置而言，一高速運算可以藉由該應變半導體層來實行。

(9)

(第四實施例)

含有銻的一層 ($\text{Si}_{1-x}\text{Ge}_x$ 層) 形成於由一第二材料所製成的一半導體基底的該表面上。接著，一多孔的 SiGe 層藉由退火而形成用以作為一分離層。含有銻的一層 ($\text{Si}_{1-x}\text{Ge}_x$ 層) 再次地形成於該多孔的 SiGe 層上，用以作為一應變感應層。該層 (較佳地係為一單晶矽層) 幾乎係由矽所製成，且形成於該 $\text{Si}_{1-x}\text{Ge}_x$ 層上作為由一第一材料所製成的一應變半導體層，藉此來製作一第一基底。

由該第一材料所製成的一第二基底被接合至該第一基底。該些部分在該分離層被分離。接著，該其餘的分離層以及 SiGe 層被移除。因此，由該第一材料所製成的該應變半導體層，可以形成於由該第一材料所製成的該第二基底上，而與該第二基底相接觸。

該第一、第二材料一般都使用矽。

在作為一應變感應層的該 $\text{Si}_{1-x}\text{Ge}_x$ 層中， x 較佳地係落在 0.1 至 0.5 的範圍之內。更佳地，在該半導體基底的該表面上， x 幾乎為 0 且逐漸地變化。在最高的表面上， x 較佳地係為 0.1 至 0.5。晶格鬆弛至少發生在該最高的表面上，以使得該處的應變是微小的。

當該分離層係為一多孔層，該分離步驟的執行係藉由楔形物插入法、張力／剪力的應用、液噴（水噴）注射法、氣噴注射法或超音波的應用。

在該應變半導體層上的該 $\text{Si}_{1-x}\text{Ge}_x$ 層，藉由拋光法或化學蝕刻法來移除。

在該 $\text{Si}_{1-x}\text{Ge}_x$ 層被移除之後，且僅該應變半導體層被留在該第二基底上，即完成表面平面化。

根據本發明第四實施例的製造方法可以更進一步地包含一步驟：藉由使用該應變半導體層作為一活性層來形成一電路元件。對於具有此一電路元件的裝置而言，一高速運算可以藉由該應變半導體層來實行。

(第五實施例)

含有鍺的一層 ($\text{Si}_{1-x}\text{Ge}_x$ 層) 被作為一應變感應層，形成於由一第二材料所製成的一半導體基底的該表面上。接著，一多孔的 SiGe 層藉由退火而形成用以作為一分離層。形成於由該第二材料所製成的該半導體基底上的該應變感應 $\text{Si}_{1-x}\text{Ge}_x$ 層中， x 較佳地係落在 0.1 至 0.5 的範圍之內。更佳地，在該半導體基底的該表面上， x 幾乎為 0 且逐漸地變化。在最高的表面上， x 較佳地係為 0.1 至 0.5。晶格鬆弛至少發生在該最高的表面上，以使得該處的應變是微小的。因此，該 $\text{Si}_{1-x}\text{Ge}_x$ 層幾乎如同一應變感應層的作用，即使在多孔形成之後。

該層 (較佳地係為一單晶矽層) 幾乎係由矽所製成，且形成於該 $\text{Si}_{1-x}\text{Ge}_x$ 層上作為由一第一材料所製成的一應變半導體層，藉此來製作一第一基底。

由該第一材料所製成的一第二基底被接合至該第一基底。該些部分在該分離層被分離。接著，該其餘的分離層以及 $\text{Si}_{1-x}\text{Ge}_x$ 層被移除。因此，由該第一材料所製成的該

應變半導體層，可以形成於由該第一材料所製成的該第二基底上，而與該第二基底相接觸。

該第一、第二材料一般都使用矽。

當該分離層係為一多孔層，該分離步驟的執行係藉由楔形物插入法、張力／剪力的應用、液噴（水噴）注射法、氣噴注射法或超音波的應用。

在該應變半導體層上的該 $\text{Si}_{1-x}\text{Ge}_x$ 層，藉由拋光法或化學蝕刻法來移除。

在該 $\text{Si}_{1-x}\text{Ge}_x$ 層被移除之後，且僅該應變半導體層被留在該第二基底上，即完成表面平面化。

根據本發明第五實施例的製造方法可以更進一步地包含一步驟：藉由使用該應變半導體層作為一活性層來形成一電路元件。對於具有此一電路元件的裝置而言，一高速運算可以藉由該應變半導體層來實行。

本發明的一些例子將伴隨著圖式敘述如下。下述的例子 1~5 分別對應至上述的第一至第五實施例。

（例子 1）

根據本發明例子 1 一半導體基底（部件）的製造方法將於下述說明，並請參照第 1A~1C 圖。

在如第 1A 圖所示的該步驟（磨薄步驟）中，一第一基底（部件）10 具有含矽、鍺（附加的材料）的一層（ $\text{Si}_{1-x}\text{Ge}_x$ 層）12 形成於一矽基底 11 上，以及在該 SiGe 層上形成一矽層 13。

(12)

(SiGe 層的晶膜生長)

首先，該應變感應 $\text{Si}_{1-x}\text{Ge}_x$ 層 12 (x 係為 0.1 至 0.5，並以 $x=0.3$ 為例) 藉由化學蒸氣沈積法，並經由照射器加熱用以在該矽基底 11 晶膜生長。該些較佳的生長條件係如下所述。需要注意的是，預先烘乾可以在生長之前執行。

• 載送氣體 (H_2)

H_2 的流率較佳地係為 25~45 升 / 分鐘，而通常是 30 升 / 分鐘。

• 第一來源氣體 (SiH_4)

SiH_4 的流率較佳地係為 50~200 立方公分 / 分鐘，而通常是 100 立方公分 / 分鐘。

• 第二來源氣體 (2% GeH_4)

2% GeH_4 的流率較佳地係為 20~500 立方公分 / 分鐘，而通常是 300 立方公分 / 分鐘。

• 腔體氣壓

該腔體氣壓較佳地係為 10~100 陶爾，而通常是 100 陶爾。

• 溫度 (基底溫度)

該溫度較佳地係為 650~680°C。

• 生長速率

該生長速率較佳地係為 10~50 奈米 / 分鐘。

銻的製成比例可以隨著該來源氣體的該混合比例而變化。較佳地，在生長於該單晶矽基底上的初期階段，該銻濃度被設為較低的，且隨著該晶膜生長的進行而增加。該銻的比例較佳地最終係為將 x 設為 0.1 至 0.5。在該最高的表面上的該應變可以被鬆弛，例如：導入的缺陷。

另外亦為較佳地，係在該 $\text{Si}_{1-x}\text{Ge}_x$ 層 12 的生長之前，將該矽基底 11 的該表面於一氫氣下退火（預先烘乾）。在預先烘乾中，氫的流率較佳地係為 15~45 升／分鐘，而通常是 40 升／分鐘。該溫度較佳地係為 700~1000 °C，而通常是 950 °C。該腔體氣壓較佳地係為 10~760 陶爾，而通常是 80 陶爾。在初期階段，該單晶矽層較佳地係於低生長速率下生長，通常為 50 奈米／分鐘或者更小。

當一樣品被裝載在該化學蒸氣沈積裝置中或是從該化學蒸氣沈積裝置卸載時，形成於該表面上的一天然的氧化物膜，可以藉由在裝載於該裝置之前的每一步驟中，將該表面浸泡在一稀釋的氫氟酸溶液中來移除。

（應變矽層的形成）

接著，該單晶矽層 13 藉由化學蒸氣沈積法生長於該 $\text{Si}_{1-x}\text{Ge}_x$ 層 12 上。以此方式形成的該單晶矽層 13 的晶格常數與位於其下的該 $\text{Si}_{1-x}\text{Ge}_x$ 層 12 之晶格常數不同，因此，其作用如同一應變矽層。根據此例，在該應變矽層 13 以及該 $\text{Si}_{1-x}\text{Ge}_x$ 層 12 之間，接近該界面的該 $\text{Si}_{1-x}\text{Ge}_x$

(14)

層 12 中的銻之濃度可以被精確地加以控制。此外，在該介面的濃度分佈可以是均勻的（平面的）分佈。因此，形成於該 $\text{Si}_{1-x}\text{Ge}_x$ 層 12 上的該應變矽層之該應變可以被輕易地加以控制。基於此原因，可以獲得一高品質的應變矽層 13。作為該應變矽層 13 的該單晶矽層之生長條件如下述：

- 載送氣體 (H_2)

氫的流率較佳地係為 15~45 升／分鐘，而通常是 30 升／分鐘。

- 來源氣體 (SiH_4)

該來源氣體的流率較佳地係為 50~500 立方公分／分鐘，而通常是 100 立方公分／分鐘。

- 腔體氣壓

該腔體氣壓較佳地係為 10~100 陶爾，而通常是 80 陶爾。

- 生長溫度（基底溫度）

該生長溫度較佳地係為 650~1000℃，而通常是 900℃。

- 生長速率

該生長速率較佳地係為 10~500 奈米／分鐘。

（在第一基底側邊的完成）

經由上述的步驟，可以獲得如第 1A 圖所示的該第一

基底（部件）10。藉由多個步驟來形成該 $\text{Si}_{1-x}\text{Ge}_x$ 層 12 以及該應變矽層 13，已於上述說明，亦可由一單一步驟（例如：化學蒸氣沈積法）來形成該 $\text{Si}_{1-x}\text{Ge}_x$ 層 12 以及該應變矽層 13，其係藉由逐漸地或逐步地改變鎢的濃度（或其他氣體的濃度）以及其他條件。

（接合）

在如第 1A 圖所示的該步驟之後，接著在如第 1B 圖所示的該步驟（接合步驟）中，一第二基底（部件）30 被接合至該第一基底（部件）10 的該上表面側邊。該第一基底（部件）10 以及該第二基底（部件）30 可以簡單地被接合。另外可以選擇的是，爲了要堅固地耦合至該接合的基底，可以執行電鍍或退火。該第二基底（部件）30 通常係爲一矽基底。待接合的該二基底的該接合表面，較佳地需要經歷一疏水處理（也被應用至下述的例子中）。這是因爲假如該接合表面係爲疏水性的，一矽氧化物膜形成於該接合介面中。

（基底的移除）

在如第 1B 圖所示的該步驟之後，接著在如第 1C 圖所示的該步驟（移除步驟）中，藉由接合步驟所形成之該基底（接合的基底堆疊）的該矽基底 11，被加以移除。該移除步驟可以藉由一機械的移除方法，例如：研磨法、拋光法來完成，或是一化學的移除方法，例如：濕蝕刻或

乾蝕刻來完成。假如該基底係藉由化學蝕刻法來移除，則一種含有氫氧化鉀、重鉻酸鉀、丙醇以及水的混合溶液將被使用。矽可以藉由與 $\text{Si}_{0.7}\text{Ge}_{0.3}$ 有關的選擇性大約 20 次而被移除（詳細請參見，D. J. Godbey, et. al., Appl. Phys. Lett., vol. 56, no. 4, pp. 373-379, 1990）。另外可以選擇的是，當 EDP 蝕刻液（Ethylene Diamine Pyrochatechol）被使用，矽可以在溫度為 82°C 下藉由與 $\text{Si}_{0.72}\text{Ge}_{0.28}$ 有關的選擇性大約 390 次而被移除（詳細請參見，D. Feijoo, et. al., J. Electro. Mat., vol. 23, no. 6, pp. 493-496, 1994）。

另外，該 $\text{Si}_{1-x}\text{Ge}_x$ 層 12 被移除。該 $\text{Si}_{1-x}\text{Ge}_x$ 層 12 可以藉由，例如：拋光法或化學蝕刻法來移除。假設該 $\text{Si}_{1-x}\text{Ge}_x$ 層 12 藉由化學蝕刻法來移除，一種含有氫氟酸（0.5%）、硝酸以及水（以 5：40：20 的比例）的混合溶液被使用。 $\text{Si}_{0.7}\text{Ge}_{0.3}$ 可以藉由與矽有關的選擇性大約 13 次而被移除（詳細請參見，A. H. Krist, et. al., Appl. Phys. Lett., vol. 58, no. 17, pp. 1899-1901, 1991）。

也就是說，一轉換步驟藉由如第 1B 圖所示的接合步驟以及如第 1C 圖所示的移除步驟來執行。第 1C 圖係為一斷面圖用以說明根據本發明例子 1 所製造的該半導體基底。

（應變矽以及氫退火所得的電路）

當一電路元件藉由該應變矽層 13 而形成時，可以獲

得一高速且低能源消耗的一裝置。該電路元件的形成（一半導體裝置的製造）將於下述說明。假如需要的話，該表面可以藉由拋光法或氫退火來平面化。

（例子 2）

根據本發明例子 2 一半導體基底（部件）的製造方法將於下述說明，並請參照第 2A~2D 圖。在例子 1 的該 $\text{Si}_{1-x}\text{Ge}_x$ 層形成之前，一多孔層形成於接近一矽基底 11 的該表面以作為一分離層。

（電鍍）

首先，一多孔矽層 14 係藉由電鍍形成於該單晶矽基底 11 上。通常電鍍係以下述方式完成，亦即將一含有氫氟酸的溶液填滿具有一白金電極對的一電鍍儲槽、在兩電極間放置該矽基底 11，並且在兩電極間提供一電流。

藉由此步驟所形成的該多孔矽層 14 具有一易碎的結構，並被作為稍後的分離步驟中的一分離層。對於電鍍而言，在日本專利申請案號 7-302889 所揭露的技術可以作為其電鍍條件。

一保護膜，例如：一氧化物膜，可以形成於該多孔矽層 14 內部氣孔的該些表面上。另外可以選擇的是，具有不同的多孔性的複數層可以藉由控制該電鍍溶液或電流而形成。舉例來說，一第一多孔層可以形成於該表面側邊上，而具有一較高多孔性的一第二多孔層可以形成於該第

一多孔層的下面。

(SiGe / 矽磊晶接合)

在該多孔矽層 14 上形成一含有矽、鍺 (附加的材料) 的應變感應 $\text{Si}_{1-x}\text{Ge}_x$ 層 12 以及一應變矽層 13, 以及將該第一基底接合至該第二基底等步驟係與例子 1 相同。一第一基底 (部件) 10' 具有一如第 2A 圖所示的結構。第 2B 圖所示的結構係由該接合步驟獲得。

另外亦為較佳地, 係在該 $\text{Si}_{1-x}\text{Ge}_x$ 層 12 形成於該多孔矽層 14 之前, 將該多孔矽層 14 的該表面於一氫氣下退火 (預先烘乾)。在預先烘乾中, 氫的流率較佳地係為 15~45 升 / 分鐘, 而通常是 40 升 / 分鐘。該溫度較佳地係為 700~1000°C, 而通常是 950°C。該腔體氣壓較佳地係為 10~760 陶爾, 而通常是 80 陶爾。在初期階段, 該單晶矽層較佳地係於低生長速率下生長, 通常為 50 奈米 / 分鐘或者更小。

當一樣品被裝載在該化學蒸氣沈積裝置中或是從該化學蒸氣沈積裝置卸載時, 形成於該表面上的一天然的氧化物膜, 可以藉由在裝載於該裝置之前的每一步驟中, 將該表面浸泡在一稀釋的氫氟酸溶液中來移除。

(基底的移除)

在如第 2B 圖所示的該步驟之後, 接著在如第 2C 圖所示的該步驟 (分離步驟) 中, 藉由接合步驟所形成之該

基底（接合的基底堆疊），在部分該分離層（多孔矽層）14 處被分離為兩個基底。也就是說，一轉換步驟藉由如第 2B 圖所示的接合步驟以及如第 2C 圖所示的分離步驟來執行。該分離步驟可以藉由下述來執行，例如：當繞著其軸線旋轉該接合的基底堆疊時，注入一流體至該分離層 14。參考數字 14' 以及 14'' 係用以指明在分離後，在該些基底上所留下的多孔層。

使用張應力、壓縮或剪應力的分離方法可以用來代替使用一流體，例如：液體或氣體的上述分離方法。另外可以選擇的是，這些方法也可以合併使用。

在分離後仍留在該第二基底 30 的該多孔層 14'' 藉由蝕刻法、拋光法、研磨法或是在一含有氫的還原空氣下退火，來將之移除。為了藉由蝕刻法來移除該多孔層，該多孔層 14'' 可以藉由使用一含有氫氟酸、雙氧水以及水的混合溶液並以大約為 $1:10^5$ 的一選擇性來選擇性地移除。

當該多孔層的許多表面面積已被使用，則亦可藉由其他的矽蝕刻劑來選擇性地移除。

另外，該 $\text{Si}_{1-x}\text{Ge}_x$ 層 12 被移除。該 $\text{Si}_{1-x}\text{Ge}_x$ 層 12 可以藉由，例如：拋光法或化學蝕刻法來移除。假設該 $\text{Si}_{1-x}\text{Ge}_x$ 層 12 藉由化學蝕刻法來移除，一種含有氫氟酸（0.5%）、硝酸以及水（以 5:40:20 的比例）的混合溶液被使用。 $\text{Si}_{0.7}\text{Ge}_{0.3}$ 可以藉由與有關矽的選擇性大約 13 次而被移除（詳細請參見，A. H. Krist, et. al., Appl. Phys. Lett., vol. 58, no. 17, pp. 1899-1901, 1991）。

第 2D 圖係爲一斷面圖用以說明根據本發明例子 2 所製造的該半導體基底。

(應變矽以及氬退火所得的電路)

當一電路元件藉由該應變矽層 13 而形成時，可以獲得一高速且低能源消耗的一裝置。該電路元件的形成（一半導體裝置的製造）將於下述說明。假如需要的話，該表面可以藉由拋光法或氬退火來平面化。

(例子 3)

根據本發明例子 3 一半導體基底（部件）的製造方法將於下述說明，並請參照第 3A~3D 圖。例子 2 的該 $\text{Si}_{1-x}\text{Ge}_x$ 層之形成步驟，可以藉由鍍來密封該多孔層的這些氣孔。

(電鍍)

首先，一多孔矽層 14 係藉由電鍍形成於該單晶矽基底 11 上，如第 3A 圖所示。通常電鍍係以下述方式完成，亦即將一含有氫氟酸的溶液填滿具有一白金電極對的一電鍍儲槽、在兩電極間放置該矽基底 11，並且在兩電極間提供一電流。藉由此步驟所形成的該多孔矽層 14 具有一易碎的結構，並被作爲稍後的分離步驟中的一分離層。對於電鍍而言，在日本專利申請案號 7-302889 所揭露的技術可以作爲其電鍍條件。

一保護膜，例如：一氧化物膜，可以形成於該多孔矽層 14 內部氣孔的該些表面上。另外可以選擇的是，具有不同的多孔性的複數層可以藉由控制該電鍍溶液或電流而形成。舉例來說，一第一多孔層可以形成於該表面側邊上，而具有一較高多孔性的一第二多孔層可以形成於該第一多孔層的下面。

(藉由 SiGe 來密封氣孔)

該多孔矽層 14 的該些表面孔可以被 $\text{Si}_{1-x}\text{Ge}_x$ 所密封。該些較佳的生長條件係如下所述。需要注意的是，預先烘乾（將於下述說明）可以在生長之前執行。

- 載送氣體 (H_2)

H_2 的流率較佳地係為 25~45 升／分鐘，而通常是 30 升／分鐘。

- 第一來源氣體 (SiH_4)

SiH_4 的流率較佳地係為 50~200 立方公分／分鐘，而通常是 100 立方公分／分鐘。

- 第二來源氣體 (2% GeH_4)

2% GeH_4 的流率較佳地係為 20~500 立方公分／分鐘，而通常是 300 立方公分／分鐘。

- 腔體氣壓

該腔體氣壓較佳地係為 10~100 陶爾，而通常是 100 陶爾。

(22)

- 溫度

該溫度較佳地係為 650~680°C。

- 生長速率

該生長速率較佳地係為 5~20 奈米 / 分鐘。

該密封 $\text{Si}_{1-x}\text{Ge}_x$ 層之鍺的製成比例可以隨著該來源氣體的該混合比例而變化。較佳地， x 係為 0.1 至 0.5。由於表面孔的存在，在該密封層上的該應變可以被鬆弛。藉由此步驟，係形成該應變感應 $\text{Si}_{1-x}\text{Ge}_x$ 層。

另外亦為較佳地，係在氣孔密封之前，將該矽基底 11 的該表面於一氫氣下退火（預先烘乾）。在預先烘乾中，氫的流率較佳地係為 15~45 升 / 分鐘，而通常是 40 升 / 分鐘。該溫度較佳地係為 700~1000°C，而通常是 950°C。該腔體氣壓較佳地係為 10~760 陶爾，而通常是 80 陶爾。

當一樣品被裝載在該化學蒸氣沈積裝置中或是從該化學蒸氣沈積裝置卸載時，形成於該表面上的一天然的氧化物膜，可以藉由在裝載於該裝置之前的每一步驟中，將該表面浸泡在一稀釋的氫氟酸溶液中來移除。

（矽磊晶接合至完成）

形成一矽層 13 於該 SiGe 密封層上，以及截至完成前的步驟皆與例子 2 的步驟相同。一第一基底（部件）10'' 具有一如第 3A 圖所示的結構。第 3B 圖所示的結構係由該接合步驟獲得。在分離後，該基底被分為兩個部分，如

第 3C 圖所示，且一轉換步驟被執行。

第 3D 圖係為一斷面圖用以說明根據本發明例子 3 所製造的該半導體基底。

(應變矽以及氬退火所得的電路)

當一電路元件藉由該應變矽層 13 而形成時，可以獲得一高速且低能源消耗的一裝置。該電路元件的形成（一半導體裝置的製造）將於下述說明。假如需要的話，該表面可以藉由拋光法或氬退火來平面化。

(例子 4)

根據本發明例子 4 一半導體基底（部件）的製造方法將於下述說明，並請參照第 4A~4D 圖。形成於一矽基底 11 上的一 SiGe 層被多孔化，以此來替代例子 2 的該矽基底的多孔性。

(SiGe 層的晶膜生長)

如第 4A 圖所示，含有矽、鍺（附加的材料）的一層 15（ $\text{Si}_{1-y}\text{Ge}_y$ 層， y 係為 0.1 至 0.5，並以 $y=0.3$ 為例）藉由化學蒸氣沈積法，並經由照射器加熱用以在該單晶矽基底 11 晶膜生長。該些較佳的生長條件係如下所述。需要注意的是，預先烘乾可以在生長之前執行。

- 載送氣體（ H_2 ）

(24)

H_2 的流率較佳地係為 25~45 升 / 分鐘，而通常是 30 升 / 分鐘。

- 第一來源氣體 (SiH_4)

SiH_4 的流率較佳地係為 50~200 立方公分 / 分鐘，而通常是 100 立方公分 / 分鐘。

- 第二來源氣體 (2% GeH_4)

2% GeH_4 的流率較佳地係為 20~500 立方公分 / 分鐘，而通常是 300 立方公分 / 分鐘。

- 腔體氣壓

該腔體氣壓較佳地係為 10~100 陶爾，而通常是 100 陶爾。

- 溫度 (基底溫度)

該溫度較佳地係為 650~680°C。

- 生長速率

該生長速率較佳地係為 10~50 奈米 / 分鐘。

鍺的製成比例可以隨著該來源氣體的該混合比例而變化。較佳地，在生長於該單晶矽基底上的初期階段，該鍺濃度被設為較低的，且隨著該晶膜生長的進行而增加。該鍺的比例較佳地最終係為將 y 設為 0.1 至 0.5。在該最高的表面上的該應變可以被鬆弛，例如：導入的缺陷。

($SiGe$ 電鍍)

在如第 4A 圖所示的該步驟之後，接著在如第 4B 圖所示的該步驟 (電鍍步驟) 中，一多孔矽層 16 係藉由電

鍍形成於該 $\text{Si}_{1-y}\text{Ge}_y$ 層 15 上。通常電鍍係以下述方式完成，亦即將一含有氫氟酸的溶液填滿具有一白金電極對的一電鍍儲槽、在兩電極間放置具有該 $\text{Si}_{1-y}\text{Ge}_y$ 層 15 的該矽基底 11，並且在兩電極間提供一電流。藉由此步驟所形成的該多孔矽層 16 具有一易碎的結構，並被作為稍後的分離步驟中的一分離層。

一保護膜，例如：一氧化物膜，可以形成於該多孔矽層 16 內部氣孔的該些表面上。當 SiGe 被氧化，二氧化矽形成於該表面上，且鍺被往內地推進。一氧化物膜被形成於該內部氣孔的該些表面上。另外可以選擇的是，具有不同的多孔性的複數層可以藉由控制該電鍍溶液或電流而形成。舉例來說，一第一多孔層可以形成於該 $\text{Si}_{1-y}\text{Ge}_y$ 層 15 的該表面側邊上，而具有一較高多孔性的一第二多孔層可以形成於該第一多孔層的下面。比之該 $\text{Si}_{1-y}\text{Ge}_y$ 層 15，該多孔層 16 可以較深，且達到該矽基底 11（而第 4B 圖中的該多孔層 16 並未達到該矽基底 11）。

由於藉由電鍍來形成多孔層是一種電解蝕刻法，其可以輕易且選擇性地蝕刻該些缺陷。因此，在多孔層形成之後，形成該 $\text{Si}_{1-y}\text{Ge}_y$ 層 15 過程中所導入的該些缺陷幾乎不留在該單晶矽層剩餘的部分。結果導致該結晶度得以恢復。

（ SiGe ／矽磊晶至完成）

形成一含有矽、鍺（附加的材料）的應變感應

$\text{Si}_{1-x}\text{Ge}_x$ 層 12 於該多孔層 16 上，以及截至完成前的步驟皆與例子 2 的步驟相同。一第一基底（部件）10''' 具有一如第 4C 圖所示的結構。第 4D 圖所示的結構係由該接合步驟獲得。在分離後，該基底被分為兩個部分，如第 4E 圖所示，且一轉換步驟被執行。第 4F 圖係為一斷面圖用以說明根據本發明例子 4 所製造的該半導體基底。

（應變矽以及氬退火所得的電路）

當一電路元件藉由該應變矽層 13 而形成時，可以獲得一高速且低能源消耗的一裝置。該電路元件的形成（一半導體裝置的製造）將於下述說明。假如需要的話，該表面可以藉由拋光法或氬退火來平面化。

（例子 5）

根據本發明例子 5 一半導體基底（部件）的製造方法將於下述說明，並請參照第 5A~5F 圖。假如晶格鬆弛已經發生於例子 4 該多孔 SiGe 層的該表面上，一應變矽層 13 可以形成在其上而不需要形成另一 SiGe 層。

其餘的步驟與例子 4 相同。第 5A 圖係為一斷面圖用以說明該 SiGe 層的磊晶步驟。第 5B 圖係為一斷面圖用以說明該接合步驟。

一第一基底（部件）10'''' 具有一如第 5C 圖所示的結構。第 5D 圖所示的結構係由該接合步驟獲得。在分離後，該基底被分為兩個部分，如第 5E 圖所示，且一轉換

(27)

步驟被執行。第 5F 圖係爲一斷面圖用以說明根據本發明例子 5 所製造的該半導體基底。

(應變矽以及氫退火所得的電路)

當一電路元件藉由該應變矽層 13 而形成時，可以獲得一高速且低能源消耗的一裝置。該電路元件的形成（一半導體裝置的製造）將於下述說明。假如需要的話，該表面可以藉由拋光法或氫退火來平面化。

(例子 6)

根據本發明例子 6 一半導體基底（部件）的製造方法將於下述說明，並請參照第 6A~6E 圖。

(半導體基底)

如例子 4、5 中所述之由該第二材料所製成的一半導體基底，以及由一材料（例如：鍺，其晶格常數大於矽的晶格常數）所製成的基底，被用來替代一矽基底。除了鍺以外，一化合物半導體，例如：SiGe 或砷化鎵等第四族的混合結晶可以被使用。對於 SiGe 塊結晶而言，日本東北大學的材料研究所已經於用以科學研究補助計畫的一份新的研究報告摘要中，發表了單晶塊 SiGe 的生長。

一多孔層 26 形成於一 SiGe 或鍺基底 21 上（如第 6A 圖所示）。由於該結晶從開始係爲一塊結晶，該晶格被對準於該基底。一應變矽層 13 生長於該多孔層 26 上（如第

6B 圖所示)。該結構被接合至一第二基底(部件)30,如第6C圖所示。接著,該些部分在該多孔層26上被分離(如第6D圖所示)。如同上述多個例子一樣,該分離層被移除以使得具有該應變矽層13在該第二基底(部件)30上的一應變半導體基底可以被製造(如第6E圖所示)。

在該多孔層26形成之前,一 $\text{Si}_{1-x}\text{Ge}_x$ 層可以形成以減少與矽的晶格常數之差異。

(應變矽以及氬退火所得的電路)

當一電路元件藉由該應變矽層13而形成時,可以獲得一高速且低能源消耗的一裝置。該電路元件的形成(一半導體裝置的製造)將於下述說明。假如需要的話,該表面可以藉由拋光法或氬退火來平面化。

在上述多個例子中,一應變半導體層係藉由一具有晶格常數大於一單晶半導體之晶格常數的材料所製成,並用以形成一應變感應層。本發明也可以被應用至另一例子,亦即一應變半導體層係藉由一具有晶格常數小於一單晶半導體之晶格常數的材料所製成,並用以形成一應變感應層。舉例來說,為了形成一矽應變半導體層,且其晶格常數小於一單晶矽的晶格常數,碳化矽或鑽石可以被使用以形成該應變感應層。

在上述多個例子中,該矽應變半導體層係直接地形成於該矽基底上,用以作為該第二基底。然而,非結晶層,

例如：一複晶矽（包含微晶矽）或非結晶矽可以被用來形成於該應變半導體層上或第二基底上，以及被接合使得該應變半導體層可以形成於該複晶矽層或該非結晶矽層（係形成於該矽基底上，當退火被執行用以堅固地耦合該接合的基底時，該非結晶矽層被轉換為一複晶）上。本發明之該半導體基底的製造方法，也包含此種形式。具有一複晶層或其他形成於該矽基底上的該結構，也包含於本發明的該半導體基底。該半導體基底並非一定需要是一單晶基底。一複晶基底也可以被使用。

作為該第二基底的該半導體基底，可以具有一濃密地摻雜的雜質層形成於該表面上。另外可以選擇的是，該基底本身可以包含一高濃度的雜質。舉例來說，當一 P^+ 基底或具有一 P^+ 層的基底被用以當作該第二基底的該半導體基底，且一應變半導體層如同一 P^- 層被接合至該基底，因此一 P^-/P^+ 基底可以被製造。

（半導體裝置的例子）

一半導體裝置，其使用如上述多個例子中的該半導體基底製造方法所製造的一半導體基底，以及該半導體裝置的製造方法將於下述說明，並請參照第 7A~7D 圖所示。

首先，一半導體基底藉由使用如上述例子 1~5 中的該半導體基底（部件）製造方法所製造。此半導體基底具有一應變矽層位於一矽基底上，如上所述。於下述說明中，該半導體基底將被作為一應變矽基底。相較於一正常的矽

基底，藉由此一應變矽基底可以獲得具有一較高速度的裝置。這是因為該應變矽層優於沒有應變的一矽層。

在如第 7A 圖所示的步驟中，一活性區 1103'，其係一電晶體（例如：場效電晶體，金氧半電晶體或一雙極電晶體）待形成之處，以及一元件絕緣區 1054 被形成於一預先準備的應變矽基底 1002 上。特別地，該活性區 1103' 以及該元件絕緣區 1054 可以藉由下述的方式形成，例如：將一應變矽層 1105 圖案化爲一島形的方法、區域氧化隔絕層（LOCOS）氧化法、或一溝渠（trench）法。

一閘極絕緣膜 1056 係形成於該應變矽層 1105 的該表面上。至於該閘極絕緣膜 1056 的材料可以使用下述，例如：氧化矽、氮化矽、氧氮化矽、氧化鋁、氧化鋇、氧化鉛、氧化鈦、氧化銦、氧化鉍、氧化釷、氧化釷、氧化鐳、氧化銻或上述的玻璃混合物。該閘極絕緣膜 1056 可以藉由下述方式來形成，例如：氧化該應變矽層 1105 的該表面，藉由化學蒸氣沈積法或是物理蒸氣沈積法來沈積一絕緣物質於該應變矽層 1105 上。

一閘極電極 1055 係形成於該閘極絕緣膜 1056 上。該閘極電極 1055 可以由以下的材料製成，例如：摻雜一 p 或 n 型雜質的複矽；一金屬，例如：鎢、鉬、鈦、鉭、鋁或銅，或者是至少包含上述金屬之一的合金；一金屬矽化物，例如：矽化鉬、矽化鎢或矽化鈷；或者是一金屬氮化物，例如：氮化鈦、氮化鎢或氮化鉭。該閘極絕緣膜 1056 可以藉由形成由不同材料所製成複數層而形成，如

同一複晶金屬矽化物 (polycide) 閘極。該閘極電極 1055 可以由以下的方式形成，例如：自行對準矽化物 (self-aligned silicide ; salicide) 的方法、鑲嵌式 (damascene) 閘極製程的方法，或其他任何方法。藉由上述的步驟，可以獲得如第 7A 圖所示的結構。

在如第 7B 圖所示的步驟中，一 n 型雜質，例如：磷、砷、銻，或者是一 p 型雜質，例如硼，係被該活性區 1103' 所採用，以形成相對而言非常輕量的摻雜源極與汲極區 1058。該雜質可以被離子佈植法以及退火所採用。

一絕緣膜被形成以覆蓋該閘極電極 1055，且被背蝕刻用以形成在該閘極電極 1055 側邊上的一邊牆 1059。

與上述雜質的導電率相同的一雜質被該活性區 1103' 所採用，以形成相對而言濃密的摻雜源極與汲極區 1057。藉由上述的步驟，可以獲得如第 7B 圖所示的結構。

在如第 7C 圖所示的步驟中，一金屬矽化物層 1060 形成於該閘極電極 1055 的該上表面上、該源極與汲極區 1057 的該上表面上。至於該金屬矽化物層 1060 的材料，可以使用下述材料，例如：矽化鎳、矽化鈦、矽化鈷、矽化鉬或矽化鎢。這些矽化物可以藉由下述方式來形成，其係沈積一金屬來覆蓋該閘極電極 1055 的該上表面、該源極與汲極區 1057 的該上表面，且執行退火處理來導致金屬與其下面的矽彼此互相作用，以及藉由一蝕刻劑（例如：硫酸），來移除該金屬一未反應的部分。如果需要的

話，該矽化物層的該表面可以是氮化物的。藉由上述的步驟，可以獲得如第 7C 圖所示的結構。

在如第 7D 圖所示的步驟中，一絕緣膜 1061 被形成以覆蓋轉換為一矽化物的該閘極電極 1055 的該上表面，以及該源極與汲極區 1057 的該上表面。至於該絕緣膜 1061 的材料，可以使用下述材料，例如：含有磷及（或）硼的氧化矽。如果需要的話，接觸洞藉由化學機械研磨法被形成於該絕緣膜 1061 中。當一黃光製程被使用時，其係使用氟化氬準分子雷射、氟化氬準分子雷射、氟準分子雷射、電子光束或 X 光，則可以形成具有一邊短於 $0.25\ \mu\text{m}$ 的一矩形接觸洞、或者是具有一直徑小於 $0.25\ \mu\text{m}$ 的一圓形接觸洞。

該些接觸洞以一導體填滿。至於一適用的導體填充法係為，在一耐火金屬或其氮化物的一薄膜形成於該接觸洞的該內部表面上，以作為一阻障金屬 1062（如果需要的話），而一導體 1063，例如：一鎢合金、鋁、鋁合金、銅或銅合金藉由化學蒸氣沈積法、物理蒸氣沈積法或電鍍法來沈積。被沈積高於該絕緣膜 1061 的該上表面之導體，藉由背蝕刻或化學機械研磨法來移除。在該些接觸洞被以該導體填滿之前，暴露至該些接觸洞之該些底部的該源極與汲極區上的該矽化物之該表面可以是氮化物的。藉由上述的步驟，一電晶體（例如：場效電晶體），可以被形成於該應變矽層上，以使之可以獲得具有一電晶體的一半導體裝置，且該電晶體具有如第 7D 圖所示結構。

爲了要形成一互補式金氧半電晶體 (CMOS)，一 p 型基底被用來作爲該應變矽基底，以及形成一 n 井在該 P 通道金氧半導體 (PMOS) 區域的該基底上。

第 7A~7D 圖僅說明一電晶體區域。爲了獲得一半導體裝置其可以達到所需的功能，大量的電晶體或其他電路元件可以形成於該應變矽基底上，並且其間的互相連接可以形成。

本發明被使用於一半導體基底用以形成一電路元件，例如：在一應變半導體層上的一電晶體，該半導體基底的一製造方法，以及形成該電路元件的一半導體裝置。

本發明可以提供一新的技術，例如：形成具有一應變矽層的一矽晶圓。藉由本發明的該半導體基底，該通道遷移率可以藉由該應變而增加，而不需要改變由習知的矽-大型積體電路技術所發展的該製程。

雖然本發明已以若干較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者爲準。

【圖式簡單說明】

本發明的許多觀點可以參考以下的圖式而更加清楚的了解。相關圖式並未依比例繪製，其作用僅在清楚表現本發明有關定理。此外，使用數字來表示圖式中相對應的部分。

(34)

第 1A 圖係說明根據本發明例子 1 的一第一基底之分層式結構；

第 1B 圖係說明根據本發明例子 1 的一接合步驟；以及

第 1C 圖係說明根據本發明例子 1 的一移除步驟；

第 2A 圖係說明根據本發明例子 2 的一第一基底之分層式結構；

第 2B 圖係說明根據本發明例子 2 的一接合步驟；

第 2C 圖係說明根據本發明例子 2 的一分離步驟；以及

第 2D 圖係說明根據本發明例子 2 的一移除步驟；

第 3A 圖係說明根據本發明例子 3 的一第一基底之分層式結構；

第 3B 圖係說明根據本發明例子 3 的一接合步驟；

第 3C 圖係說明根據本發明例子 3 的一分離步驟；以及

第 3D 圖係說明根據本發明例子 3 的一移除步驟；

第 4A 圖係說明根據本發明例子 4 的一生長步驟；

第 4B 圖係說明根據本發明例子 4 的一電鍍步驟；

第 4C 圖係說明根據本發明例子 4 的一第一基底之分層式結構；

第 4D 圖係說明根據本發明例子 4 的一接合步驟；

第 4E 圖係說明根據本發明例子 4 的一分離步驟；以及

(35)

第 4F 圖係說明根據本發明例子 4 的一移除步驟；

第 5A 圖係說明根據本發明例子 5 的一生長步驟；

第 5B 圖係說明根據本發明例子 5 的一電鍍步驟；

第 5C 圖係說明根據本發明例子 5 的一第一基底之分層式結構；

第 5D 圖係說明根據本發明例子 5 的一接合步驟；

第 5E 圖係說明根據本發明例子 5 的一分離步驟；以及

第 5F 圖係說明根據本發明例子 5 的一移除步驟；

第 6A 圖係說明根據本發明例子 6 的一電鍍步驟；

第 6B 圖係說明根據本發明例子 6 的一第一基底之分層式結構；

第 6C 圖係說明根據本發明例子 6 的一接合步驟；

第 6D 圖係說明根據本發明例子 6 的一分離步驟；以及

第 6E 圖係說明根據本發明例子 6 的一移除步驟；

第 7A~7D 圖係說明一半導體基底以及其製造方法；以及

第 8 圖係為一斷面圖用以說明含有銻的一層
($\text{Si}_{1-x}\text{Ge}_x$ 層) 被形成以作為一多孔表面層的該氣孔密封部分之狀態。

【主要元件符號說明】

10 第一基底

(36)

10'	第一基底
10''	第一基底
10'''	第一基底
10''''	第一基底
11	矽基底
12	$\text{Si}_{1-x}\text{Ge}_x$ 層
13	應變矽層
14	多孔矽層
14'	其餘部分的多孔矽層
14''	其餘部分的多孔矽層
15	$\text{Si}_{1-y}\text{Ge}_y$ 層
16	多孔矽層
16'	其餘部分的多孔矽層
16''	其餘部分的多孔矽層
21	SiGe 或鍺基底
26	多孔層
26'	其餘部分的多孔層
26''	其餘部分的多孔層
30	第二基底
40	多孔層
41	$\text{Si}_{1-x}\text{Ge}_x$ 層
1002	應變矽基底
1054	元件絕緣區
1055	閘極電極

I284360

(37)

1056	閘極絕緣膜
1057	源極與汲極區
1058	源極與汲極區
1059	邊牆
1060	金屬矽化物層
1061	絕緣膜
1062	阻障金屬
1063	導體
1103'	活性區
1105	應變矽層

十、申請專利範圍

第 93140622 號專利申請案

中文申請專利範圍修正本

民國 95 年 4 月 28 日修正

1. 一種半導體基底，包含：

一應變半導體層在該半導體基底上，其中該應變半導體層係由與該半導體基底相同的材料製成。

2. 如申請專利範圍第 1 項所述之半導體基底，其中該半導體基底以及該應變半導體層的材料為矽。

3. 一種半導體基底的製造方法，包含：

一 第一步驟：形成由一第一材料所製成的一應變半導體層於由一第二材料所製成的一半導體基底上，用以製作一第一基底，且至少於其表面上可作為一應變感應材料之用；

一 第二步驟：將該第一基底的該應變半導體層接合至由該第一材料所製成的一第二基底；以及

一 第三步驟：移除在該第一基底除了該應變半導體層外一側上的一構件，且留下該應變半導體層在該第二基底上。

4. 如申請專利範圍第 3 項所述之半導體基底的製造方法，其中該第一材料為矽。

5. 如申請專利範圍第 3 項所述之半導體基底的製造方法，其中該第一材料為矽，且該第二材料為 $\text{Si}_{1-x}\text{Ge}_x$ ，其中 x 的範圍為 $0 < x \leq 1$ 。

6.如申請專利範圍第 3 項所述之半導體基底的製造方法，其中該半導體基底係為具有一應變感應層形成於一表面上的一基底。

7.如申請專利範圍第 6 項所述之半導體基底的製造方法，其中該半導體基底係為由形成該應變感應層於一矽基底上而獲得的一基底。

8.如申請專利範圍第 6 項所述之半導體基底的製造方法，其中一分離層形成於該應變感應層的下方。

9.如申請專利範圍第 6 項所述之半導體基底的製造方法，其中該應變感應層也作為一分離層。

10.如申請專利範圍第 8 項所述之半導體基底的製造方法，其中在該第三步驟中移除該第一基底之該側上的該構件包含一步驟：在該分離層上分離該第一基底的該側上的部分構件。

11.如申請專利範圍第 6 項所述之半導體基底的製造方法，其中該應變感應層本質上係由矽以及一附加的材料所製成。

12.如申請專利範圍第 11 項所述之半導體基底的製造方法，其中該應變感應層本質上係由 SiGe 所製成。

13.如申請專利範圍第 8 項所述之半導體基底的製造方法，其中該分離層本質上係由一多孔材料所製成。

14.如申請專利範圍第 13 項所述之半導體基底的製造方法，其中該多孔材料係為多孔矽或多孔 SiGe 之一。

15.如申請專利範圍第 9 項所述之半導體基底的製造

方法，其中亦可作為該分離層的該應變感應層本質上係由多孔矽所製成。

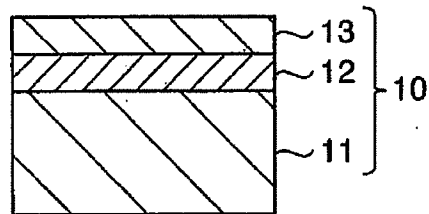
16.如申請專利範圍第 10 項所述之半導體基底的製造方法，其中在該第三步驟中，在該第一基底除了該應變感應層外該側上的該構件，其留在該第二基底的一側上，而在該分離層上的該分離步驟後被移除。

17.如申請專利範圍第 3 項所述之半導體基底的製造方法，其中該第三步驟包含一步驟：僅該應變感應層被留在該第二基底上之後，平面化該應變感應層的一表面。

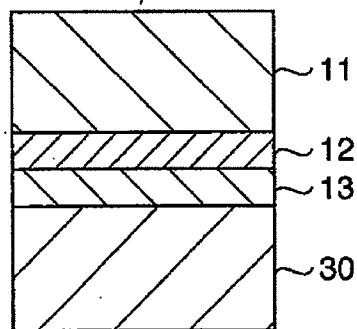
18.如申請專利範圍第 9 項所述之半導體基底的製造方法，其中亦可作為該分離層的該應變感應層係為一多孔層，其導入用以至少密封表面孔的該應變感應材料。

19.一種具有一電晶體的半導體裝置，其中該電晶體形成於如申請專利範圍第 1 項所述之半導體基底的一應變感應層上。

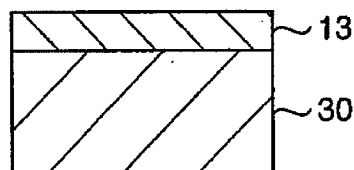
第1A圖



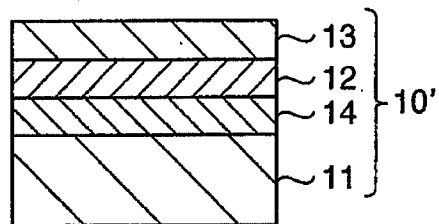
第1B圖



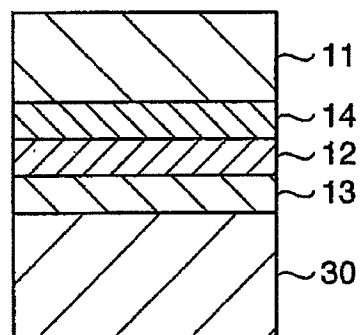
第1C圖



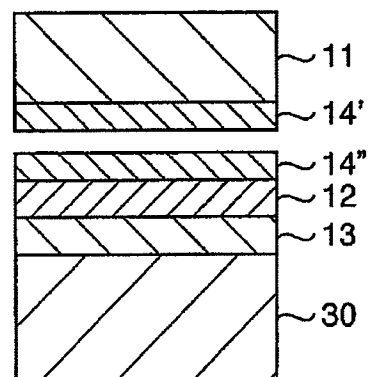
第2A圖



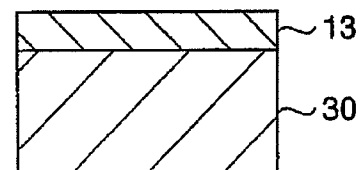
第2B圖



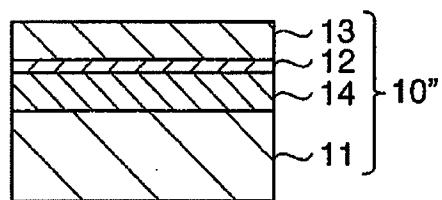
第2C圖



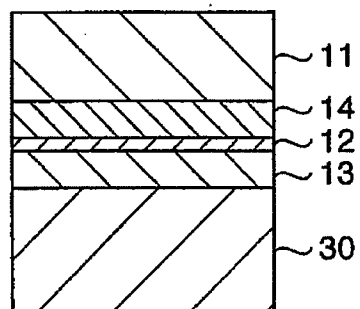
第2D圖



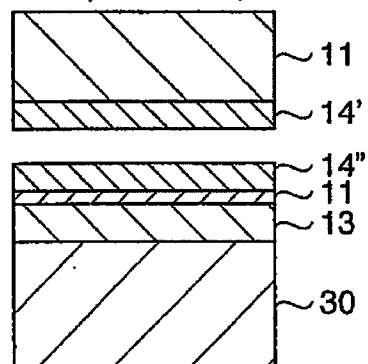
第3A圖



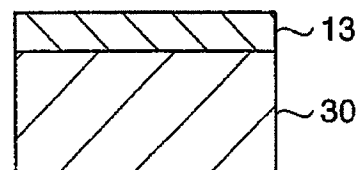
第3B圖



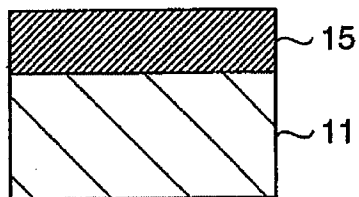
第3C圖



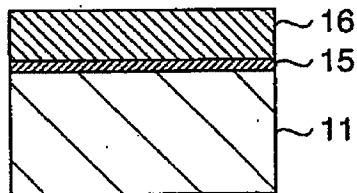
第3D圖



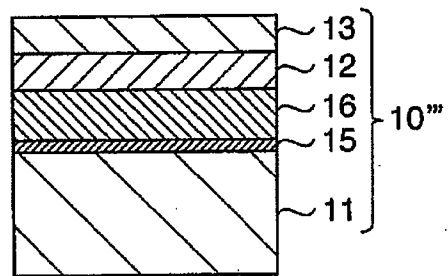
第4A圖



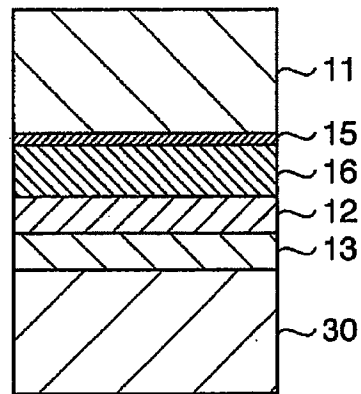
第4B圖



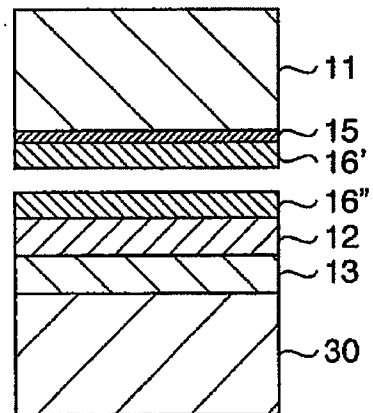
第4C圖



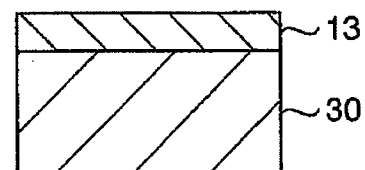
第4D圖



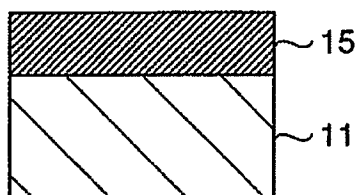
第4E圖



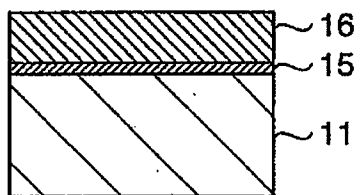
第4F圖



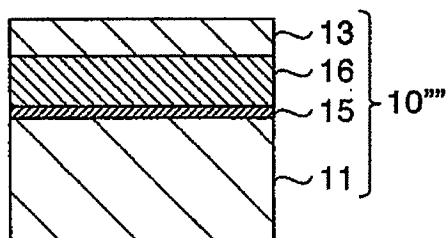
第5A圖



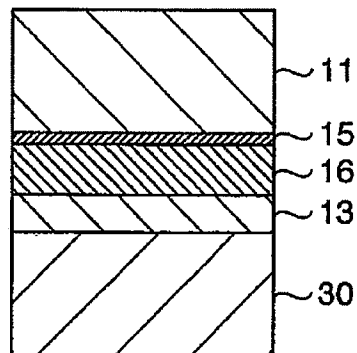
第5B圖



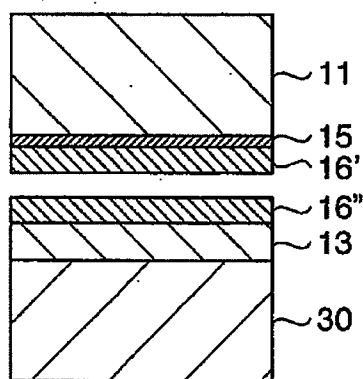
第5C圖



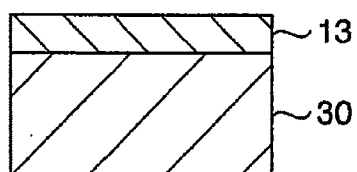
第5D圖



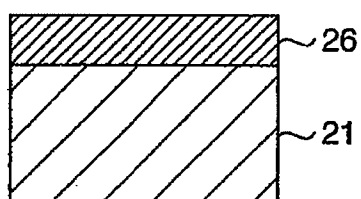
第5E圖



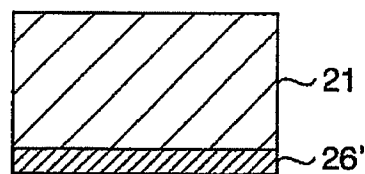
第5F圖



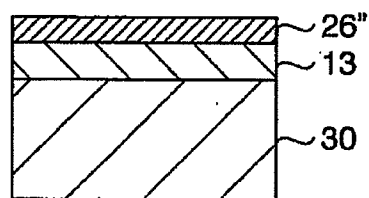
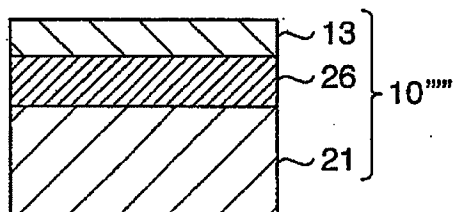
第6A圖



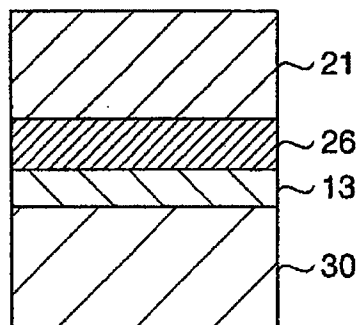
第6D圖



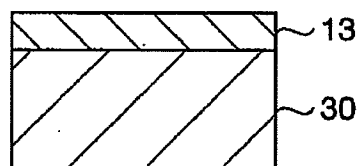
第6B圖



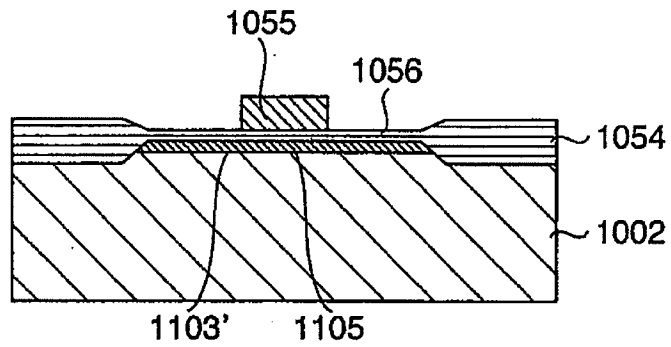
第6C圖



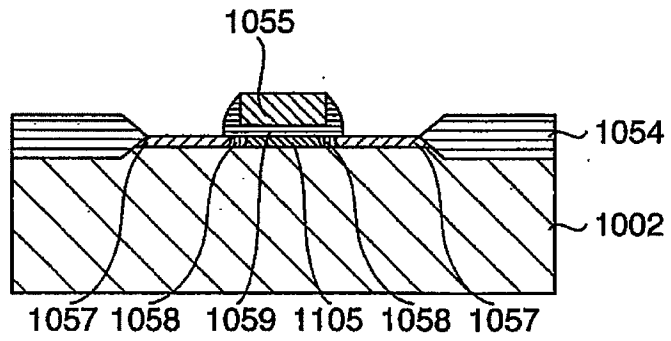
第6E圖



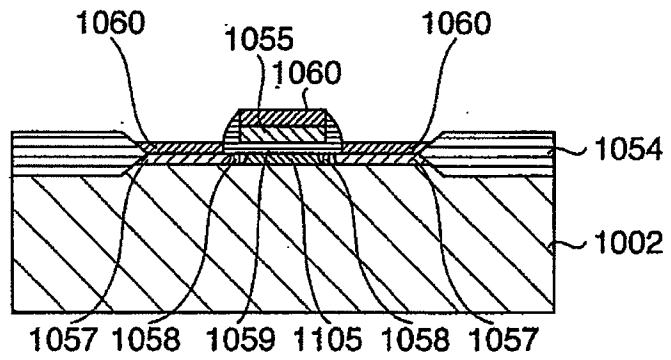
第7A圖



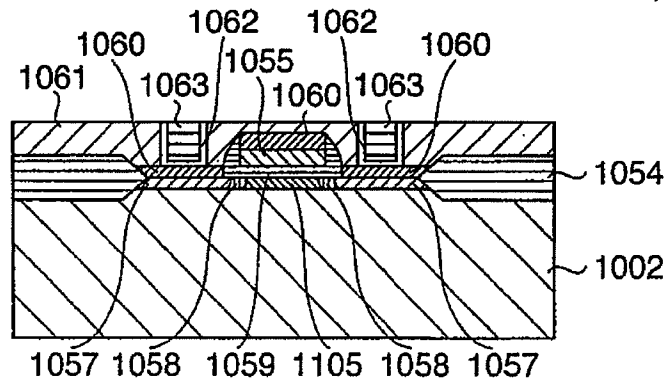
第7B圖



第7C圖



第7D圖



第8圖

